

Docket No. 8733.285.00

#4
Butt

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Jong Sang BAEK

GAU: 2674

SERIAL NO: 09/651,260

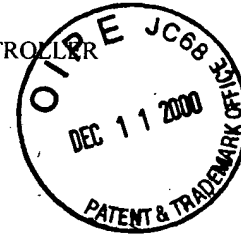
EXAMINER: TBA

FILED: August 30, 2000

FOR: LIQUID CRYSTAL DISPLAY DEVICE WITH MULTI-TIMING CONTROLLER

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231



SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	2000-36226	28 JUNE 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

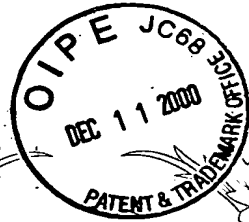
Respectfully Submitted,

LONG ALDRIDGE & NORMAN LLP

Rebecca A. Goldman
Registration No. 41,786

Sixth Floor
701 Pennsylvania Avenue, N.W.
Washington, D.C. 20004
Tel. (202) 624-1200
Fax. (202) 624-1298

Date: December 11, 2000



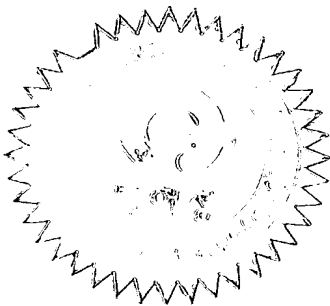
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원 번호 : 특허출원 2000년 제 36226 호
Application Number

출원 년 월 일 : 2000년 06월 28일
Date of Application

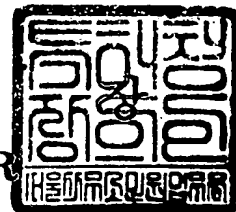
출원 인 : 엘지.필립스 엘시디 주식회사
Applicant(s)



2000 년 09 월 08 일

특 허 청

COMMISSIONER



【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0002		
【제출일자】	2000.06.28		
【발명의 명칭】	멀티 타이밍 컨트롤러를 가지는 액정표시장치		
【발명의 영문명칭】	Liquid Crystal Display Device with Muti-Timing Controller		
【출원인】			
【명칭】	엘지 . 필립스 엘시디 주식회사		
【출원인코드】	1-1998-101865-5		
【대리인】			
【성명】	김영호		
【대리인코드】	9-1998-000083-1		
【포괄위임등록번호】	1999-001050-4		
【발명자】			
【성명의 국문표기】	백종상		
【성명의 영문표기】	BAEK, Jong Sang		
【주민등록번호】	661118-1644228		
【우편번호】	730-040		
【주소】	경상북도 구미시 형곡동 169 주공 4단지 404동 506호		
【국적】	KR		
【신규성주장】			
【공개형태】	1. 전자공학석사 논문		
【공개일자】	1999.12.31		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)		
【수수료】			
【기본출원료】	20 면	29,000 원	
【가산출원료】	5 면	5,000 원	

【우선권주장료】	0	건	0	원
【심사청구료】	5	항	269,000	원
【합계】	303,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 다양한 표시규격에 따른 제어신호로부터 각각의 표시규격에 따른 타이밍신호를 생성하여 구동하는 멀티 타이밍 컨트롤러를 구비하는 멀티 타이밍 컨트롤러를 가지는 액정표시장치에 관한 것이다.

본 발명은 액정표시장치에 있어서, 배열된 화소에 대응하는 표시규격을 가지는 액정패널과; 외부로부터 입력되는 데이터와 상기 표시규격에 대응하는 제어신호들 입력받는 인터페이스와; 상기 인터페이스로부터 입력되는 데이터를 래치출력하고, 상기 제어신호로부터 액정패널을 구동하기 위한 타이밍신호들을 생성출력하는 타이밍 컨트롤러와; 상기 타이밍 컨트롤러로부터 상기 타이밍신호를 입력받아 상기 데이터에 대응하여 액정패널에 화상을 표시하는 구동회로와; 상기 타이밍 컨트롤러가, 복수개의 표시규격에 대응하여 하나의 표시규격을 설정하고 이에 대응하는 설정신호를 발생하는 표시규격 설정부와, 복수개의 표시규격에 따른 각각의 타이밍생성정보를 구비하고 상기 설정신호에 대응하는 타이밍 정보를 출력하는 선택부와, 타이밍 정보를 입력받아 상기 제어신호로부터 타이밍 신호들을 생성출력하는 타이밍생성부를 구비한다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

멀티 타이밍 컨트롤러를 가지는 액정표시장치{Liquid Crystal Display Device with Muti-Timing Controller}

【도면의 간단한 설명】

도 1은 일반적인 액정표시장치의 블록구성도.

도 2는 도 1에 도시된 데이터 드라이버 IC의 출력파형을 도시한 파형도.

도 3은 도 1에 도시된 게이트 드라이버 IC의 출력파형을 도시한 파형도.

도 4는 본 발명의 실시예에 따른 타이밍 컨트롤러를 도시한 블록구성도.

도 5는 도 4에 도시된 제1 제어부를 상세히 도시한 블록구성도.

도 6은 도 4에 도시된 제1 제어부의 출력파형을 도시한 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 인터페이스

12,23 : 타이밍 컨트롤러

14 : 전원전압 생성부

16 : 기준전압 생성부

18 : 데이터 드라이버

20 : 게이트 드라이버

22 : 액정패널

24 : 디코더부

26 : 생성부

26a 내지 26e : 제1 제어부 내지 제 5제어부

28 : 제1 카운터

30 : 제2 카운터

32 : 제3 카운터

34 : 감산기

36, 38, 40, 42, 44, 46 : 비교기

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 액정표시장치에 관한 것으로서, 특히 다양한 표시규격에 따른 제어신호로부터 각각의 표시규격에 따른 타이밍신호를 생성하여 구동하는 멀티 타이밍 컨트롤러를 구비하는 멀티 타이밍 컨트롤러를 가지는 액정표시장치에 관한 것이다.

<17> 일반적으로 액정표시장치는 집적되는 화소 수에 대응하는 고유의 해상도를 가지고 있으며, 액정표시장치의 크기가 커질수록 그 해상도는 높아진다. 또한 고품질의 화상을 디스플레이하기 위해서, 액정표시장치의 메이커들은 동일사이즈의 액정표시장치간에도 액정패널내의 화소 집적률을 높여서 해상도를 달리하고 있다.

<18> 액정표시장치를 포함하여 퍼스널 컴퓨터등의 환경하에서 상술한 영상신호 및 제어신호들의 표준은 해상도와 더불어 1989년 2월에 VESA(Video Electronics Standard Association)에서 설정하였다.

<19> 현재 디스플레이 산업에서 상업용으로 주로 사용되는 디스플레이의 표준규격들은 대체로, Dos Mode(640 X 350, 640 X 400, 720 X 400), VGA(640 X 480), SVGA(800 X 600), XGA(1024 X 768), SXGA(1280 X 1024), UXGA(1600 X 1200)들을 나타내고 있다.

<20> 액정표시장치는 배열된 픽셀수에 의해서 그 해상도가 고정되어 있어서, 시스템으로

부터 액정패널의 해상도에 일치하는 영상신호 및 그 제어신호들을 요구하였다. 따라서 시스템에서는 다양한 표시규격에 대응하는 영상신호 및 제어신호들을 스케일러 칩등을 사용하여 액정표시장치의 해상도 및 표시규격에 맞는 영상신호 및 제어신호들로 변환하여 액정표시장치로 공급하였다.

<21> 도 1은 일반적인 액정표시장치의 블록구성도이다.

<22> 도 1을 참조하면, 먼저 인터페이스부(10)는 퍼스널 컴퓨터등과 같은 구동시스템으로부터 입력되는 데이터(RGB Data) 및 제어신호(예를 들면 입력클럭, 수평동기신호, 수직동기신호, 데이터 인에이블신호)들을 입력받아 타이밍 컨트롤러(12)로 공급한다. 주로 상기 구동시스템과의 데이터 및 제어신호전송을 위해서 LVDS(Low Voltage Differential Signal) 인터페이스와 TTL 인터페이스 등이 사용되고 있다. 또한 이러한 인터페이스 기능을 모아서 타이밍컨트롤러(12)와 함께 단일 칩(Chip)으로 집적시켜 사용하고도 있다.

<23> 타이밍 컨트롤러(12)는 상기 인터페이스부(10)를 통해 입력되는 제어신호를 이용하여 도시되지 않은 복수개의 드라이브 IC들로 구성된 데이터 드라이버(18)와, 도시되지 않은 복수개의 게이트 드라이브 IC들로 구성된 게이트 드라이버(20)를 구동하기위한 제어신호를 생성한다. 또한, 인터페이스부(10)로부터 입력되는 데이터들을 데이터 드라이버(18)로 전송한다.

<24> 기준 전압 생성부(16)는 데이터 드라이버(18)에서 사용되는 DAC(Digital to Analog Converter)의 기준전압들을 생성하고, 패널의 투과율-전압 특성을 기준으로 생산자에 의해서 상기 기준전압들이 설정된다.

<25> 데이터 드라이버(187)는 타이밍 컨트롤러(12)로부터 입력되는 제어신호들에 대응하

여 입력 데이터에 따라 기준전압들을 선택하여 아날로그 영상신호로 변환하여 액정패널 (22)로 공급한다.

<26> 게이트 드라이버(20)는 타이밍 컨트롤러(12)로부터 입력되는 제어신호들에 대응하여 액정패널(22)상에 배열된 박막트랜지스터(Thin Film Transister : 'TFT')들의 게이트 단자를 1라인씩 온/오프(on/off) 제어하며, 상기 데이터 드라이버(18)로부터 공급되는 아날로그 영상신호들이 각 박막트랜지스터들에 접속된 각 픽셀들로 인가되도록 한다.

<27> 전원전압 생성부(14)는 각 구성부들의 동작전원을 공급하고 액정패널(22)의 공통전극 전압을 생성하여 공급한다.

<28> 상술한 구성에서 타이밍컨트롤러(12)는 입력되는 제어신호들에 대응하여 액정표시장치의 구동을 위해 소정의 제어신호들을 생성한다. 이 때, 일반적으로 타이밍 컨트롤러(12)는 수평동기신호(Hsync) 또는 데이터 인에이블(Data Enable : 이하 'DE'라 함)의 에지(Edge)를 기준으로 클럭을 카운팅하여 제어신호를 발생시킨다. 이러한 타이밍 컨트롤러(12)의 출력신호들은 데이터 드라이브 IC 및 게이트 드라이브 IC들의 종류에 의해서로 차이를 보일 수 있다. 여기서는 특수하게 필요로 하는 신호를 제외하고 공통적으로 사용되는 제어신호의 종류와 타이밍에 대하여 설명한다.

<29> 먼저, 데이터 드라이버를 위해 필요한 제어신호들은 소스 샘플링 클럭(Source Sampling Clock : 이하 'SSC'라 함), 소스 출력 인에이블(Source Output Enable : 이하 'SOE'라 함), 소스 시작 펄스(Source Start Pulse : 이하 'SSP'라 함), 액정 극성 반전(Pority reverse : 이하 'POL'라 함), 데이터 극성선택(Data reverse : 이하 'REV'라 함), 홀수/짝수 화소데이터(Odd/even Data) 신호등이 있다. SSC은 데이터 드라이버(18)에서 데이터를 래치시키기 위한 샘플링 클럭으로 사용되며, 데이터 드라이브IC 의 구동주파수

를 결정한다. SOE은 SSC에 의해 래치된 데이터들을 액정패널로 전달하게 한다. SSP는 1 수평 동기 기간중에 데이터의 래치 또는 샘플링시작을 알리는 신호이다. POL은 액정의 인버전(Inversion) 구동을 위해 액정을 정·부 극성으로 구동하기 위해 극성을 알려주는 신호이다. REV은 전송되는 데이터의 극성을 선택하는 신호이다. 홀수/짝수 화소데이터는 홀수번째 화소의 기수데이터, 짝수번째, 화소의 우수데이터를 나타내는 신호이다.

- <30> 상술한 제어신호를 입력받는 데이터 드라이버의 동작을 살펴보면, 도 2와 같다.
- <31> 도 2를 참조하면, 먼저 데이터 드라이버는 SSC의 상승 또는 하강에지에서 SSP의 'High'입력을 인식하면 SSC에 대응하여 입력되는 데이터를 래치한다. 이후 래치된 데이터를 SOE에 대응하여 아날로그 출력전압으로 디코딩해서 액정패널로 공급한다. 이 때, POL이 'High'상태일 때, 공통전극전압보다 높은 포지티브 디코더(Positive Decoder)의 출력전압을 선택하고, 'Low' 상태일 때, 공통전극전압보다 낮은 네가티브 디코더(Negative Decoder)의 출력전압을 선택하여 액정패널을 정/부극성으로 인버전 구동하게 한다.
- <32> 게이트 드라이버를 위해 필요한 제어신호들은 게이트 쉬프트 클럭(Gate Shift Clock : 이하 'GSC'라 함), 게이트 출력 인에이블(Gate Output Enable : 이하 'GOE'라 함), 게이트 시작 펄스(Gate Start Pulse : 이하 'GSP'라 함)등이 있다. GSC은 박막트랜지스터의 게이트가 온/오프(on/off)되는 시간을 결정하는 신호이다. GOE은 게이트 드라이버의 출력을 제어하는 신호이다. GSP는 하나의 수직동기신호중에서 화면의 첫 번째 구동 라인을 알려주는 신호이다.
- <33> 상술한 제어신호를 입력받는 게이트 드라이버의 동작을 살펴보면, 도 3과 같다.

<34> 도 3을 참조하면, 먼저 게이트 드라이버의 출력은 GSC의 상승 또는 하강에지에서 GSP의 'High'상태를 인식하여, GSC의 1 주기정도의 'High' 상태를 유지하는 게이트신호를 출력한다. 이때, GOE과 게이트신호출력을 조합하여 GOE의 'High' 폭만큼의 출력이 디스플레이된다.

<35> 이러한 액정표시장치는 상술한 바와 같이 고유의 해상도에 대응하여 입력되는 영상 신호 및 제어신호로부터 데이터 드라이버 및 게이트 드라이버를 제어하기위한 제어신호들을 생성하는 각각의 컨트롤러가 필요하였다.

<36> 그러나, 액정표시장치에서도 VGA에서 UXGA까지의 다양한 디스플레이 포맷이 사용되고 있어서 각 해상도에 따른 타이밍 컨트롤러도 다양하게 요구되었고, 이는 타이밍 컨트롤러 개발에 따른 비용상승이라는 문제점을 안고 있었다. 또한, 하나의 타이밍 컨트롤러를 개발하고도, 다른 표시규격에 따른 액정표시장치에서는 사용하지 못하는 문제점들이 발생하였다.

【발명이 이루고자 하는 기술적 과제】

<37> 따라서, 본 발명의 목적은 다양한 표시규격에 따른 제어신호로부터 각각의 표시규격에 따른 타이밍신호를 생성하여 구동하는 멀티 타이밍 컨트롤러를 구비하는 멀티 타이밍 컨트롤러를 가지는 멀티 타이밍 컨트롤러를 가지는 액정표시장치를 제공하는데 있다.

【발명의 구성 및 작용】

<38> 상술한 목적을 달성하기 위하여 본 발명에 따른 멀티 타이밍 컨트롤러 액정표시장

치는 액정표시장치에 있어서, 배열된 화소에 대응하는 표시규격을 가지는 액정패널과; 외부로부터 입력되는 데이터와 상기 표시규격에 대응하는 제어신호들 입력받는 인터페이스와; 상기 인터페이스로부터 입력되는 데이터를 래치출력하고, 상기 제어신호로부터 액정패널을 구동하기 위한 타이밍신호들을 생성출력하는 타이밍 컨트롤러와; 상기 타이밍 컨트롤러로부터 상기 타이밍신호를 입력받아 상기 데이터에 대응하여 액정패널에 화상을 표시하는 구동회로와; 상기 타이밍 컨트롤러가, 복수개의 표시규격에 대응하여 하나의 표시규격을 설정하고 이에 대응하는 설정신호를 발생하는 표시규격 설정부와, 복수개의 표시규격에 따른 각각의 타이밍생성정보를 구비하고 상기 설정신호에 대응하는 타이밍정보를 출력하는 선택부와, 타이밍 정보를 입력받아 상기 제어신호로부터 타이밍 신호들을 생성 출력하는 타이밍생성부를 구비한다.

<39> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.

<40> 이하, 도 4 내지 도 6을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<41> 도 4는 본 발명의 제1 실시예에 따른 타이밍 컨트롤러의 블록구성도이다.

<42> 도 4를 참조하면, 먼저 타이밍 컨트롤러(23)는 크게 액정표시장치의 규격에 대응하여 희망하는 타이밍값을 선택하기 위한 디코더부(24)와 타이밍 생성부(26)로 구분할 수 있다.

<43> 먼저, 디코더부를 도 4 및 표 1을 결부하여 설명함과 아울러 도 4에서는 일례로 SOE, GSC 및 GOE의 선택을 설명하고 있다.

<44> 【표 1】

Input pin	Setting	Clock	UXGA	SXGA	XGA	SVGA	VGA
			2pxls/clock	2pxls/clock	2pxls/clock	1pxls/clock	1pxls/clock
GOE_START [2:0]	LLL	32	416	502	829	675	1072
	LLH	64	909	1097	1811	1475	2342
	LHL	80	1155	1395	2303	1875	2978
	LHH	96	1401	1693	2794	2275	3613
	HLL	128	1894	2288	3776	3075	4883
	HLH	160	2387	2883	4795	3875	6154
	HHL	192	2880	3478	5741	4675	7424
	HHH	224	3373	4073	6723	5475	8694
GOE_END [2:0]	LLL	0	31	37	61	50	79
	LLH	16	277	335	553	450	715
	LHL	32	524	632	1044	850	1350
	LHH	48	770	930	1535	1250	1985
	HLL	64	1016	1228	2026	1650	2620
	HLH	80	1263	1525	2517	2050	3255
	HHL	96	1509	1823	3009	2450	3891
	HHH	128	2002	2418	3991	3250	5161
GSC_START [2:0]	LLL	0	31	37	61	50	79
	LLH	8	154	186	307	250	397
	LHL	16	277	335	553	450	715
	LHH	24	400	484	798	650	1032
	HLL	32	524	632	1044	850	1350
	HLH	40	647	781	1289	1050	1667
	HHL	48	770	930	1535	1250	1985
	HHH	64	1016	1228	2026	1650	2620
GSC_END [1:0]	LL	40	693	837	1382	1125	1787
	LH	200	3157	3813	6294	5125	8139
	HL	320	5005	6045	9978	8125	12903
	HH	400	6237	7533	12434	10125	16079
SOE_START [1:0]	LL	0	77	93	154	125	199
	LH	4	139	167	276	225	357
	HL	8	200	242	399	325	516
	HH	16	323	391	645	525	834
SOE_END [1:0]	LL	32	570	688	1136	925	1469
	LH	64	1063	1283	2118	1725	2739
	HL	96	1555	1879	3101	2525	4010
	HH	128	2048	2474	4083	3326	5280

<45> 여기서, [2:0] 및 [1:0]은 버스라인수를 나타낸다. 표 1에 표시된 데이터의 단위는 ns이다.

<46> 먼저, GOE 시작신호(GOE_Start)는 GOE신호의 시작점을 결정하며 GOE 상승시점(GOE_R)을 결정하는 값으로 출력된다. GOE 종료신호(GOE_END)는 GOE신호의 끝점을 결정하며 GOE 하강시점(GOE_F)을 결정하는 값으로 출력된다. GSC 시작신호(GSC_Start)는 GSC 신호의 시작점을 결정하며 GSC 상승시점(GSC_R)을 결정하는 값으로 출력된다. GSC 종료신호(GSC_END)는 GSC 신호의 끝점을 결정하며 GSC 하강시점(GSC_F)을 결정하는 값으로 출력된다. SOE 시작신호(SOE_Start)는 SOE신호의 시작점을 결정하며 SOE 상승시점(SOE_R)을 결정하는 값으로 출력된다. SOE 종료신호(SOE_END)는 SOE신호의 끝점을 결정하며 SOE 하강시점(SOE_F)을 결정하는 값으로 출력된다. 입력펄스(Input clock)는 타이밍 컨트롤러의 동기를 맞추기 위한 기준클럭이다.

<47> 이와 같이 디코더부(24)는 외부로부터 타이밍 설정 데이터를 입력받아 이에 해당하는 타이밍 카운팅 값들을 출력한다. 이 때, 타이밍 설정 데이터는 일반적인 덤 스위치 등을 사용하여 설정될 수 있다. 상기 디코더부(24)는 표시규격에 따라 제어신호들을 생성하기 위한 다수의 카운팅값들을 저장하고 있으며, 입력되는 타이밍 설정 데이터에 대응하여 해당 타이밍 카운터 값들을 출력한다. 이러한 구조는 일례로 메모리와 멀티플렉서를 이용하여 쉽게 구현될 수 있으므로 상세한 구조는 생략한다.

<48> 일례를 들어 디코더부의 구동특성을 설명하면, 먼저, 디코더부(24)는 3 비트의 GOE 시작펄스가 입력될 경우 총 8개의 GOE 상승시점을 선택하고, 만일 2 비트의 GOE 시작펄스가 입력될 경우 총 4개의 GOE 상승시점을 선택할 수 있다. 나머지 디코더부(24)에 입력되는 신호들도 위에서 서술한 것과 같은 방법으로 선택할 수 있으며, 선택할 값은 임의로 설정이 가능하다. 다시말하면, 3 비트 데이터 구조의 GOE 시작신호가 설정을 'LHL'로 설정되어 디코더부(24)에 인가되면, 디코더부(24)는 GOE 상승시점을 결정하는 값으로 '

80'(Decimal)을 선택한다. 이는 타이밍 생성부(26)에 입력되는 기준 타이밍값을 '80'(Decimal)만큼 감산하여 GOE 상승시점을 결정한다. 이 때, 사용자가 메모리에 저장된 데이터중 UXGA를 선택할 경우, 감산되는 '80'(Decimal)은 1155ns의 타이밍이 소요된다. 즉, 사용자가 UXGA에서 1155ns를 선택하려고 하면 3 비트 데이터 구조의 GOE 시작신호가 설정을 'LHL'를 설정하면 된다.

<49> 타이밍 생성부(26)는 디코드부(24)에서 선택된 타이밍 신호를 받아 필요한 타이밍을 생성하기 위한 제1 제어부(26a)와, 극성 반전신호와 게이트 구동 시작신호를 생성하기 위한 제2 제어부(26b)와, 소스 시작신호와 SSC을 생성하기 위한 제3 제어부(26c)와, 제1 제어부(26a)에서 생성된 GOE를 변형시키기 위한 제4 제어부(26d)와, 수평/수직동기 신호의 극성을 항상 동일하게 유지하기 위한 제5 제어부(26e)를 구비한다. 제1 제어부(26a)는 한 수평동기신호 기간내의 입력클럭을 카운트하여 기억한 후, 디코더부(24)에서 설정된 값과 비교하여 SOE 및 GSC를 발생하여 출력하며, GOE를 발생하여 제4 제어부(26d)로 전달한다.

<50> 제1 제어부를 상세히 하면, 도 5와 같다.

<51> 도 5를 참조하면, 제1 제어부는 제1 내지 제3 카운터(28,30,32)와 감산기(34)와 제1 내지 제6 비교기(36,38,40,42,44,46)를 구비한다. 제1 카운터(28)는 수평동기신호(Hsync)와 기준클럭을 입력받아서, 2 수평 주기동안 기준클럭을 카운팅하여 기준 타이밍값(Tref)으로 출력한다. 이후, 감산기(34)는 상기 기준 타이밍값(Tref)으로부터 GOE 상승시점(GOE_R) 값을 감산하고 그 감산결과(Sgoe)를 제1 비교기(36)로 출력한다. 제2 카운터(30)는 매 수평주기마다 기준클럭으로 카운팅하여 현재의 수평 주기 카운팅값(Htotal)을 출력한다.

- <52> 제1 비교기(36)는 상기 감산결과(Sgoe)와 수평 주기 카운팅값(Htotal)을 비교하여 두 입력값이 동일할 때 GOE를 상승(rising)시킨다.
- <53> 제3 카운터(32)는 상기 제1 비교기(36)의 출력값을 초기화신호로 입력받아, 1 수평 주기동안 기준클럭을 카운팅하고 그 카운팅값(Rgoe)을 출력한다. 이후, 제2 비교기(38)는 제3 카운터(32)의 카운팅값(Rgoe)과 GOE 하강시점(GOE_F)값을 비교하여 두 입력값이 동일할 때 GOE를 하강(falling)시킨다.
- <54> 제3 비교기(40)는 제3 카운터(32)의 카운팅값(Rgoe)과 GSC 하강시점(GSC_R)값을 비교하여 두 입력값이 동일할 때 GSC를 상승(rising)시킨다.
- <55> 제4 비교기(42)는 제2 카운터(30)의 카운팅값(Htotal)과 GSC 하강시점(GSC_F)값을 비교하여 두 입력값이 동일할 때 GSC를 하강(falling)시킨다.
- <56> 제5 비교기(44)는 상기 제2 카운터(30)의 카운팅값(Htotal)과 SOE 상승시점(SOE_R)값을 비교하여 두 입력값이 동일할 때 SOE를 상승(rising)시킨다.
- <57> 제6 비교기(46)는 상기 제2 카운터(30)의 카운팅값(Htotal)과 SOE 하강시점(SOE_F)값을 비교하여 두 입력값이 동일할 때 SOE를 하강(falling)시킨다.
- <58> 도 6은 도 5에 도시된 제1 제어부의 출력파형을 도시한 타이밍도이다.
- <59> 도 6을 참조하면, 먼저 타이밍생성부는 입력되는 수평동기신호를 기준으로 기준클럭을 GOE 상승시점(GOE_R)값(48)만큼 카운팅하여 GOE의 상승시점(rising edge)을 결정한다. 이후, GOE의 상승시점(rising edge)으로부터 기준클럭을 GOE 하강시점(GOE_F)값(50)만큼 카운팅하여 GOE의 하강시점(falling edge)을 결정한다.
- <60> GOE의 상승시점(rising edge)으로부터 기준클럭을 GSC 상승시점(GSC_R)값(52)만큼

카운팅하여 GSC의 상승시점(rising edge)을 결정한다. 그리고, 수평동기신호(Hsync)를 기준으로 기준클럭을 GSC 하강시점(GSC_F)값(54)만큼 카운팅하여 GSC의 하강시점(falling edge)을 결정한다.

<61> 수평동기신호(Hsync)를 기준으로 기준클럭을 SOE 상승시점(SOE_R)값(56)만큼 카운팅하여 SOE의 상승시점(rising edge)을 결정한다. 그리고, 수평동기신호(Hsync)를 기준으로 기준클럭을 SOE 하강시점(SOE_F)값(58)만큼 카운팅하여 SOE의 하강시점(falling edge)을 결정한다.

<62> 즉, 본 발명의 실시예에 따른 타이밍 컨트롤러는 외부로부터 타이밍 설정데이터를 디코더부에서 입력받아 이에 해당하는 소정의 상승 타이밍 카운팅값을 타이밍 생성부로 출력한다. 타이밍 생성부는 외부로부터 수평동기신호(Hsync)와 기준클럭을 입력받아 2수평 주기동안 기준클럭을 카운팅하여 기준 타이밍값(Tref)을 생성하고, 생성된 상기 기준 타이밍값(Tref)을 디코더부로부터 입력된 상기 타이밍 카운팅값으로 감산하여 출력한다. 그런 다음, 타이밍 생성부는 외부에서 입력되는 매 수평주기를 기준클럭으로 카운팅하여 현재의 수평주기 카운팅값(Htotal)값을 출력한 후, 출력된 현재의 수평주기 카운팅값(Htotal)과 타이밍 카운팅값으로 감산된 기준 타이밍값(Tref)과 비교하여 서로 동일한 값을 가질 경우 상승신호를 해당라인으로 출력한다. 또한, 타이밍 생성부는 현재의 수평주기 카운팅값(Htotal)과 타이밍 카운팅값으로 감산된 기준 타이밍값(Tref)이 비교되어 출력된 값을 초기화 신호로 입력받아, 1 수평주기동안 기준클럭을 카운팅하고 그 카운팅값(Rgoe)을 출력한다. 이후, 타이밍 생성부는 디코더부로부터 입력받은 소정의 하강 타이밍 카운팅값과 상기 카운팅값(Rgoe)을 비교하여 서로 동일한 값을 가질 경우 하강신호를 해당라인으로 출력한다.

【발명의 효과】

<63> 상술한 바와 같이, 본 발명에 따른 멀티 타이밍 컨트롤러를 가지는 액정표시장치는 외부에서 입력되는 1 수평동기 시간내에 모든 클럭의 수를 카운팅하여 이를 기준으로 가산기, 감산기, 비교기 등을 사용하여 해상도가 변하더라도 제어신호를 이에 대응하여 생성할 수 있다. 따라서, 모델별 고유의 타이밍 컨트롤러없이 하나의 컨트롤러로 범용적으로 사용할 수 있다.

<64> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

액정표시장치에 있어서,

배열된 화소에 대응하는 표시규격을 가지는 액정패널과;

외부로부터 입력되는 데이터와 상기 표시규격에 대응하는 제어신호들 입력받는 인터페이스와;

상기 인터페이스로부터 입력되는 데이터를 래치출력하고, 상기 제어신호로부터 액정패널을 구동하기 위한 타이밍 신호들을 생성 출력하는 타이밍 컨트롤러와;

상기 타이밍 컨트롤러로부터 상기 타이밍 신호를 입력받아 상기 데이터에 대응하여 액정패널에 화상을 표시하는 구동회로와;

상기 타이밍 컨트롤러가, 복수개의 표시규격에 대응하여 하나의 표시규격을 설정하고 이에 대응하는 설정신호를 발생하는 표시규격 설정부와, 복수개의 표시규격에 따른 각각의 타이밍생성정보를 구비하고 상기 설정신호에 대응하는 타이밍 정보를 출력하는 선택부와, 타이밍 정보를 입력받아 상기 제어신호로부터 타이밍 신호들을 생성 출력하는 타이밍 생성부를 구비하는 것을 특징으로 하는 멀티 타이밍 컨트롤러를 가지는 액정표시장치.

【청구항 2】

제 1 항에 있어서,

상기 표시규격 설정부는 SVGA, XGA, SXGA, UXGA, VGA의 표시규격중 어느 하나를 선택

스위치를 이용하여 설정하는 것을 특징으로 하는 멀티 타이밍 컨트롤러를 가지는 액정 표시장치.

【청구항 3】

제 1 항에 있어서,

상기 선택부는 소정의 타이밍 정보를 저장하기 위한 메모리나 상기 메모리에 저장된 타이밍 정보중 어느 하나의 타이밍 정보를 선택하기 위한 멀티플렉서로 구성되는 것을 특징으로 하는 멀티 타이밍 컨트롤러를 가지는 액정표시장치.

【청구항 4】

제 1 항에 있어서,

상기 생성부는 상기 선택부에서 선택된 상기 타이밍 정보에 대응하는 상기 타이밍 신호를 생성하기 위한 제1 제어부와;

상기 액정패널 상에 마련된 액정의 구동전압극성을 지시하기 위한 액정 극성 반전 신호와, 하나의 수직동기신호 중에서 화면의 첫 번째 구동라인을 알려주기 위한 게이트 구동 시작신호를 생성하기 위한 제2 제어부와;

하나의 수평동기시간 중에서 데이터의 샘플링 시작을 알려주는 신호와, 상승 또는 하강에지에서 데이터를 래치하기 위한 소스 샘플링 클럭을 생성하기 위한 제3 제어부와;

게이트 구동 집적회로의 모든 출력이 동시에 하이가 되는 래치업 불량을 막기 위해 상기 게이트 출력 인에이블 신호를 일정시간동안 하이상태로하여 상기 게이트 구동 집적회로를 디스에이블 할수 있도록 하기 위하여 상기 제1 제어부에서

생성된 게이트 출력 인에이블 신호를 변형하기 위한 제4 제어부와;

상기 수평/수직동기신호의 극성을 항상 동일하게 유지하기 위한 제5 제어부를 구비하는 것을 특징으로 하는 멀티 타이밍 컨트롤러를 가지는 액정표시장치.

【청구항 5】

제 4 항에 있어서,

상기 제1 제어부는 상기 제5 제어부에서 입력된 상기 수평동기신호와 상기 선택부로부터 입력된 상기 제1 타이밍 정보를 입력받아서, 2 수평 주기동안 타이밍 정보를 카운팅하여 제1 카운팅값을 출력하기 위한 제1 카운터와;

상기 제1 카운팅값을 타이밍 정보로 감산하여 기준 타이밍 신호를 출력하기 위한 감산기와;

상기 수평동기신호 주기마다 타이밍 정보로 카운팅하여 현재의 수평 주기에 대한 제2 카운팅값을 출력하기 위한 제2 카운터와;

상기 제2 카운팅값과 기준 타이밍 신호를 비교하여 제1 선택 타이밍 신호를 출력하기 위한 제1 비교기와;

상기 제1 선택 타이밍 신호를 초기화 신호로 입력받아, 1 수평주기동안 기준클럭을 카운팅하여 제3 카운팅값을 출력하기 위한 제3 카운터와;

상기 제3 카운팅값을 입력받아, 상기 선택부에서 입력된 제2 타이밍정보와 비교하여 두 입력값이 동일 할 때, 제2 선택 타이밍 신호를 출력하기 위한 제2 비교기와;

상기 제3 카운팅값을 입력받아, 상기 선택부에서 입력된 제3 타이밍정보와 비교하여 두 입력값이 동일 할 때, 제3 선택 타이밍 신호를 출력하기 위한 제3 비교기와;

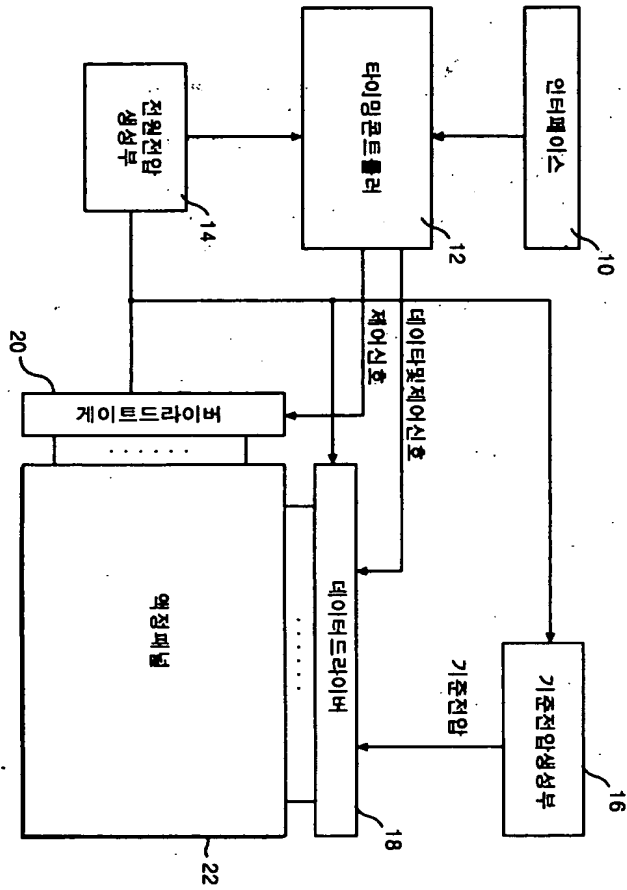
상기 제2 카운팅값과 상기 선택부에서 입력된 제4 타이밍정보와 비교하여 두 입력값이 동일 할 때, 제4 선택 타이밍 신호를 출력하기 위한 제4 비교기와;

상기 제2 카운팅값과 상기 선택부에서 입력된 제5 타이밍정보와 비교하여 두 입력값이 동일 할 때, 제5 선택 타이밍 신호를 출력하기 위한 제5 비교기와;

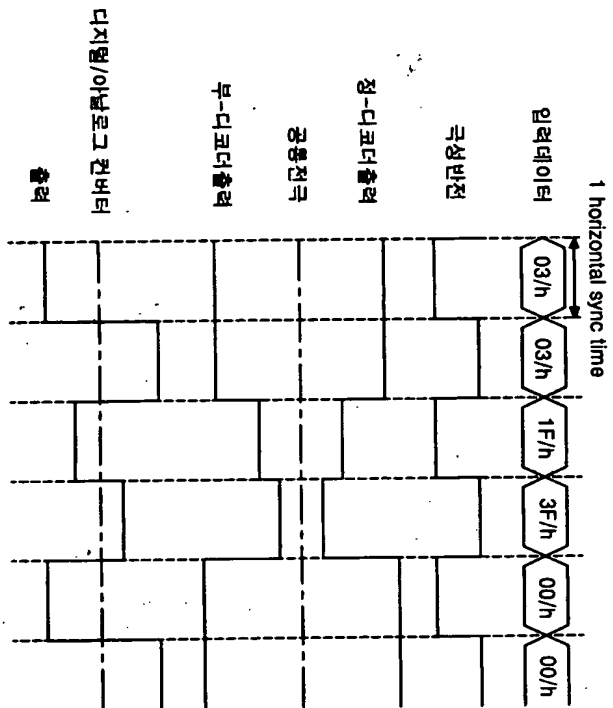
상기 제2 카운팅값과 상기 선택부에서 입력된 제6 타이밍정보와 비교하여 두 입력값이 동일 할 때, 제6 기준 타이밍 신호를 출력하기 위한 제6 비교기를 구비하는 것을 특징으로 하는 멀티 타이밍 컨트롤러를 가지는 액정표시장치.

【도면】

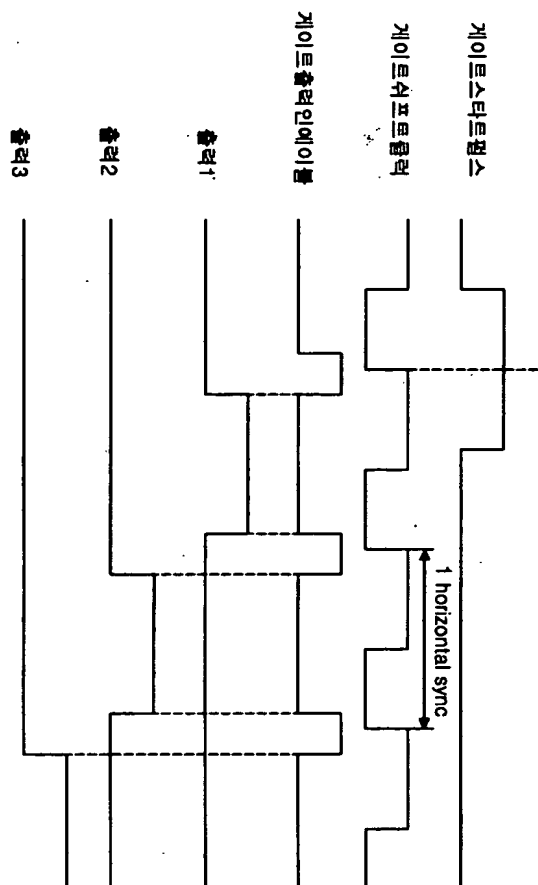
【도 1】



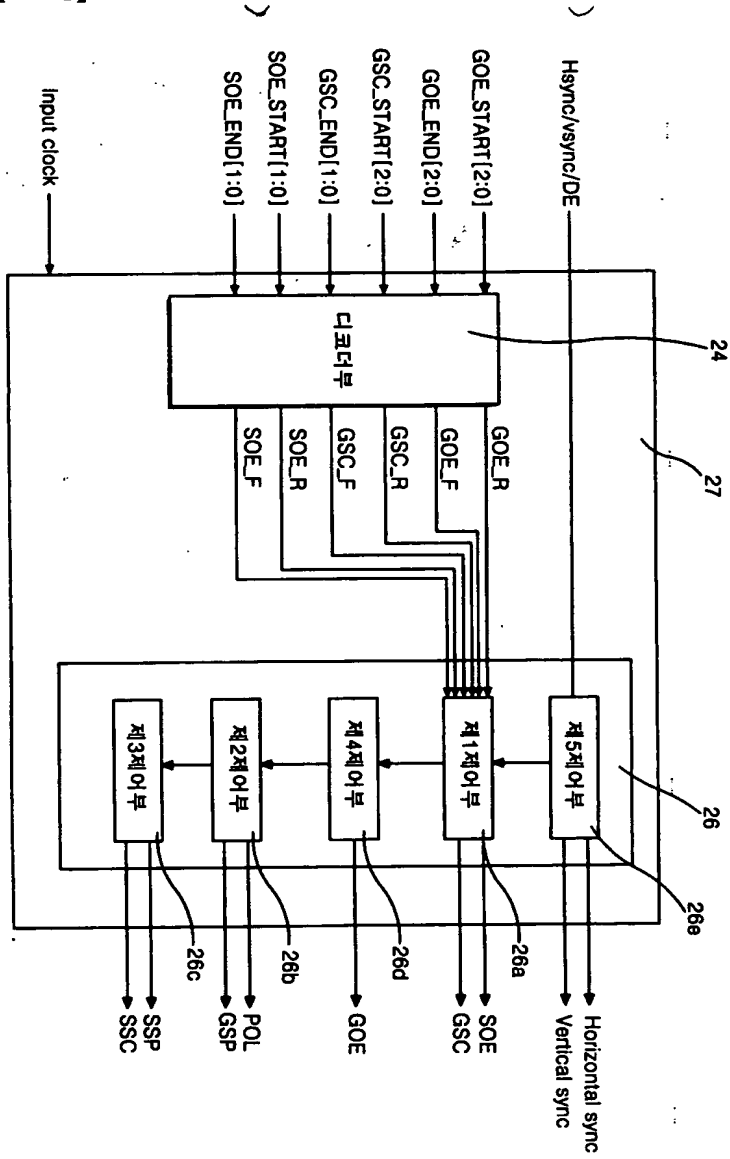
【표 2】



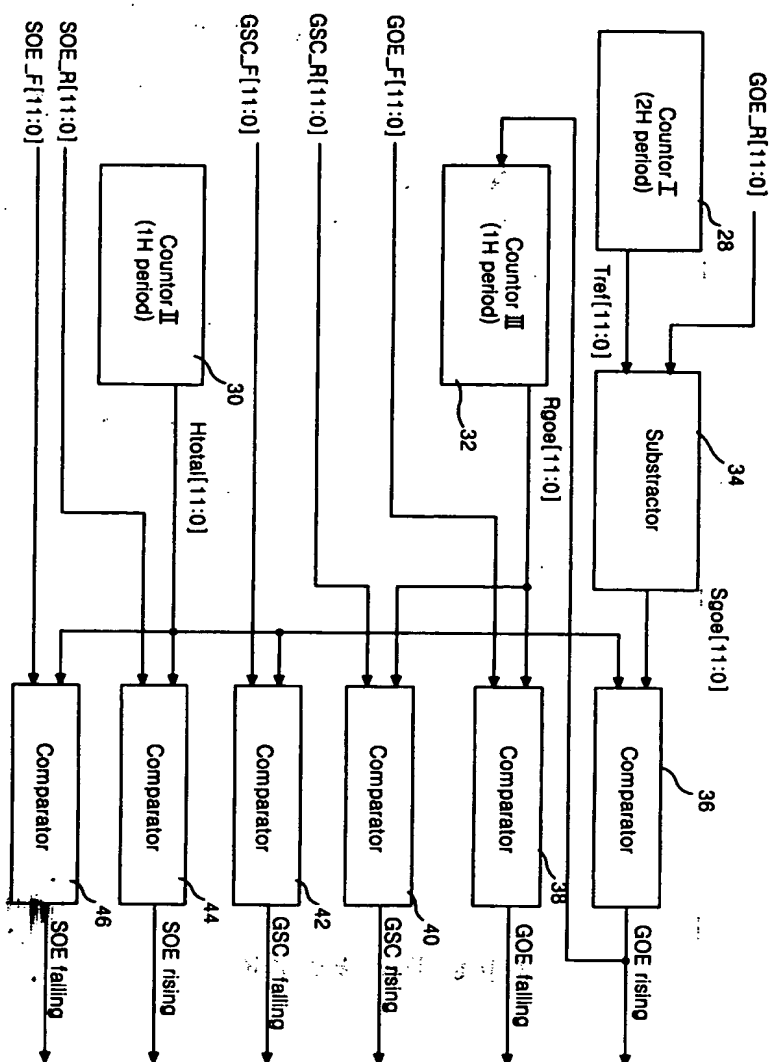
【도 3】



【도 4】



【 5 】



【 9 나 】

